

БЛОК БУЛ

ТЕХНИЧЕСКОЕ ОПИСАНИЕ

ПВС5.422.066 ТО

СОДЕРЖАНИЕ

1 НАЗНАЧЕНИЕ	3
2 ФУНКЦИОНАЛЬНЫЙ СОСТАВ.....	3
3 РАСПРЕДЕЛЕНИЕ АДРЕСОВ.....	4
4 ХАРАКТЕРИСТИКИ	5
5 ОПИСАНИЕ РАБОТЫ БЛОКА	5

1 НАЗНАЧЕНИЕ

Блок управления лучом (далее БУЛ) предназначен для формирования аналоговых сигналов отклонения и развертки. БУЛ состоит из платы ЦАП-8 (нижний уровень) и платы СИНТЕЗАТОРА СИГНАЛОВ (далее СС – верхний уровень).

2 ФУНКЦИОНАЛЬНЫЙ СОСТАВ

ЦАП-8 состоит из следующих функциональных узлов:

- входного буфера (BF);
- дешифратора адреса (DS);
- изоляционного барьера (ИЗО);
- цифроаналоговых преобразователей (DAC);
- источника опорного напряжения (ИОН);
- источника изолированных напряжений (А1).

СС состоит из следующих функциональных узлов (рис.1):

- входного буфера (BF);
- регистров (RG) управления, номера развертки и адреса;
- задающего генератора (ЗГ), стабилизированного кварцевым резонатором;
- таймера-счетчика (ВИ54);
- мультиплексоров (MUX);
- умножителя частоты на основе ФАПЧ (ФАПЧ);
- девятнадцатиразрядного счетчика (СЧ);
- ПЗУ разверток (ROM flash);
- изоляционных барьеров (ИЗО);
- цифроаналогового преобразователя (DAC);
- ключей (КЛ).

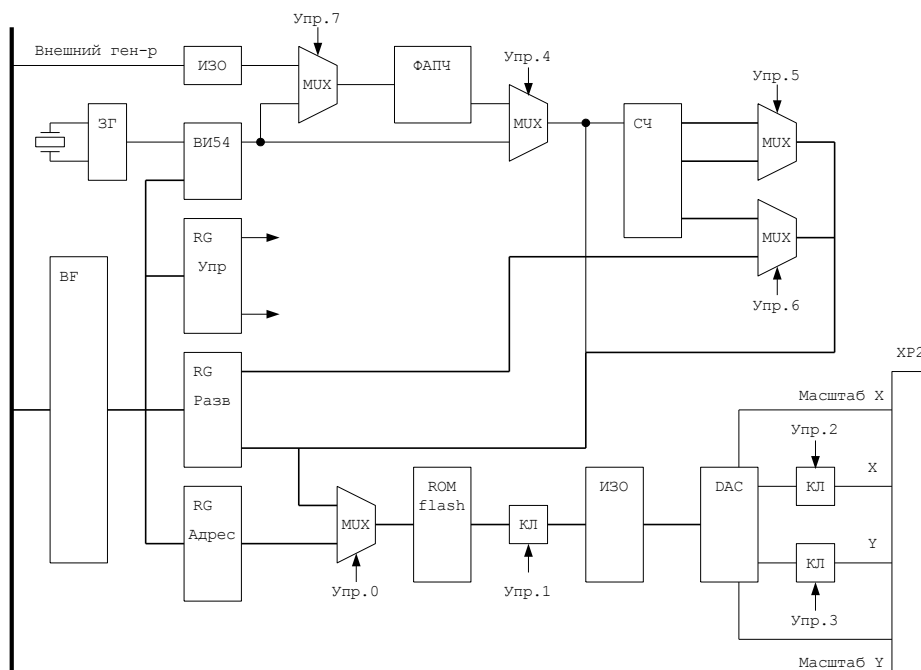


рис. 1

3 РАСПРЕДЕЛЕНИЕ АДРЕСОВ

Адрес (ПА5-ПА1)	Разрядность	Биты	Описание	Примечание
00h	12	-	отклонение X	0h:= -10В 800h:= 0В 0fffh:= +10В
02h	12	-	амплитуда X	0h:= -10В 800h:= 0В 0fffh:= +10В
04h	12	-	отклонение Y	0h:= -10В 800h:= 0В 0fffh:= +10В
06h	12	-	амплитуда Y	0h:= -10В 800h:= 0В 0fffh:= +10В
08h	12	-	фокусировка	0h:= -10В 800h:= 0В 0fffh:= +10В
0Ah	12	-	динамическая фокусировка	0h:= -10В 800h:= 0В 0fffh:= +10В
0Ch	12	-	юстировка X	0h:= -10В 800h:= 0В 0fffh:= +10В
0Eh	12	-	юстировка Y	0h:= -10В 800h:= 0В 0fffh:= +10В
10h	16	-	адрес для чтения/записи во flash	
12h	8	0÷7 - № развертки	выбор развертки	№ короткой р-ки <128; № длинной р-ки ≥128, и кратен 8
14h	8	0 – 0/1 – работа/запись flash 1 – 0/1 – открыть/закрыть выход 2 – 0/1 – вкл/выкл X 3 – 0/1 – вкл/выкл Y 4 – 0/1 – вкл/выкл ФАПЧ 5 – 0/1 – выкл/вкл генератор рас-тра 6 – не исп. 7 – 0/1 – внутр/внешн генератор	управление режимами синтезатора	
20h	16	-	чтение/запись flash	по заранее записанному адресу
28h	8	0 – 0/1 – двоичн/десятичн код 1÷3 – режим 4,5 – последовательность зап/чт 6,7 – канал	управление таймером ВИС4	управляющее слово 36h – режим 3 для канала 0
2Ah	8		регистр канала 2 (не используется)	
2Ch	8		регистр канала 1 (не используется)	
2Eh	8		регистр канала 0	

4 ХАРАКТЕРИСТИКИ

Наименование параметра	Величина
1. Напряжение питания, В	~220 +10%, -20%
2. Потребляемый ток, мА, не более	100
3. Число каналов ЦАП	8
4. Разрядность	12
5. Выходное напряжение ЦАП, В	От минус10 до +10
6. Минимальное сопротивление нагрузки, кОм	2
7. Число каналов разверток	2
8. Диапазон частот разверток, Гц	1÷2000
9. Объем ROM flash, слов	65536
10. Короткая развертка, слов, не более	256
11. Длинная развертка, слов, не более	4096
12. Количество точек в строке раstra	256
13. Количество строк раstra	256
14. Габариты, мм	260x264x27
15. Масса, кг, не более	1,2

5 ОПИСАНИЕ РАБОТЫ БЛОКА

5.1 Узел согласования БУЛ с процессором состоит из двунаправленных шинных формирователей (D1, D2 - здесь и далее позиционные обозначения приводятся по схеме электрической принципиальной ПВС5.422.066 Э3) для 16 разрядов данных, шинного формирователя (D3) для адресов и сигналов "ВВОД", "ВЫВОД", дешифратора адреса (D4), формирователя сигнала СИП (D6.2, D7, D5.2), схемы контроля напряжения питания (VD20, VD21, R102 – R106, V1, V2, D5.1, D5.4).

5.2 Цифроаналоговый преобразователь содержит элементы оптической развязки (D8 – D15), непосредственно микросхемы ЦАП (D18, D19, D24, D25), операционные усилители (D20 – D23, D26 – D29) для масштабирования выходного напряжения ЦАПов и согласования по выходному сопротивлению, источник опорного напряжения (R101, VD22, C63).

На одну из микросхем ЦАП, в зависимости от адреса, поступает 12-разрядный код и записывается во внутренний регистр сигналом "ВЫВОД". Выходное напряжение постоянного тока с выхода ЦАП масштабируется соответствующим операционным усилителем и поступает на выход блока. При работе совместно с синтезатором сигналов (далее СС), напряжение с выхода вторых каналов микросхем D18, D19 используется в качестве опорного в СС для координат X, Y, соответственно. Выходное напряжение СС суммируется с выходным напряжением первых каналов микросхем D18, D19. Таким образом, на выходе блока формируется напряжение, используемое в качестве исходного для усилителей тока отклонения.

5.3 Узел согласования СС с процессором состоит из двунаправленных шинных формирователей (D2, D3 - далее позиционные обозначения приводятся по схеме электрической принципиальной ПВС5.411.000 Э3) для 16 разрядов данных, шинных формирователей (D28, D30) для чтения ROM flash, шинного формирователя (D1) для адресов и сигналов "ВВОД", "ВЫВОД", дешифратора адреса (D5).

5.4 Непосредственно синтезатор состоит из задающего генератора (D8, R8, R9, C17) стабилизированного кварцевым резонатором (BQ1), интервального таймера 82C54 (D4), схемы фазовой автоподстройки частоты (ФАПЧ) (D9, D11, R4, R5, C16, VD1, R10, R11, R13, C18, C19), мультиплексора выбора источника задающей частоты (D14), мультиплексора обхода ФАПЧ (D12), формирователя временной диаграммы для микросхем ЦАП (D12, D13), регистра номера развертки (D17), регистра управления (D18), адресного регистра для ROM flash (D23, D24), счетчика адресов (D15, D16), мультиплексора адресов (D19, D20), мультиплексора разверток (D21), мультиплексора сигналов управления ROM flash (D22), запоминающего

устройства для хранения разверток (ROM flash) (D25, D26), буферных усилителей (D27, D29), элементов оптической развязки (D31 – D38, V2), микросхемы ЦАП (D40) с защитными цепями, операционных усилителей (D41, D42) для масштабирования выходного напряжения ЦАП и электронных ключей (D43) для отключения выхода.

Процессор программирует интервальный таймер в соответствии с требуемой выходной частотой развертки. С выхода таймера, частотный сигнал поступает на мультиплексоры выбора источника задающей частоты и обхода ФАПЧ в зависимости от состояния разрядов 4 и 7 регистра управления, на схему формирования временной диаграммы приходит: либо сигнал требуемой частоты, либо сигнал требуемой частоты умноженной на 256, либо сигнал сетевой частоты умноженной на 256. С выхода схемы формирования временной диаграммы сигнал поступает на счетчик адресов, далее через мультиплексор адресов – на запоминающее устройство для хранения разверток, на входы записи микросхемы ЦАП и на переключатель адреса координат. На выходе запоминающего устройства формируется кодовая последовательность, которая через оптическую развязку поступает на микросхему ЦАП. В качестве опорного для микросхемы ЦАП используется сигнал первого и третьего канала БУЛ (для координат X, Y соответственно), а выходное напряжение – для сложения с выходным напряжением нулевого и второго канала БУЛ (для координат X, Y соответственно).